jc914 U.S. PTO
09/742816
12/19/00

<Priority Document Translation>

THE KOREAN INDUSTRIAL

PROPERTY OFFICE

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

Application Number : 1999-66815 (Patent)

Date of Application : December 30, 1999

Applicant(s) : HYUNDAI ELECTRONICS INDUSTRIES CO., LTD.

September 21, 2000

COMMISSIONER

09/742816 Jc914 U.S. PTO
12/19/00

대 한 민 국 특 허 청
KOREAN INDUSTRIAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출 원 번 호 : 특허출원 1999년 제 66815 호
Application Number

출 원 년 월 일 : 1999년 12월 30일
Date of Application

출 원 인 : 현대전자산업주식회사
Applicant(s)

2000 년 09 월 21 일

특 허 청
COMMISSIONER

【서류명】 특허출원서

【권리구분】 특허

【수신처】 특허청장

【참조번호】 0069

【제출일자】 1999.12.30

【발명의 명칭】 지연고정루프에서 짧은 록킹 시간과 높은 잡음 제거를 갖는 딜레이 제어기

【발명의 영문명칭】 Short locking time and high noise immunity delay controller in delay locked loop

【출원인】

【명칭】 현대전자산업주식회사

【출원인코드】 1-1998-004569-8

【대리인】

【성명】 박해천

【대리인코드】 9-1998-000223-4

【포괄위임등록번호】 1999-008448-1

【대리인】

【성명】 원석희

【대리인코드】 9-1998-000444-1

【포괄위임등록번호】 1999-008444-1

【발명자】

【성명의 국문표기】 한종희

【성명의 영문표기】 HAN,Jong Hee

【주민등록번호】 660107-1001116

【우편번호】 463-070

【주소】 경기도 성남시 분당구 야탑동 장미마을 아파트 807-1304

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 박해천 (인) 대리인 원석희 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 8 면 8,000 원

【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	37,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】

【요약】

본 발명은 반도체메모리 장치의 지연고정루프(Delay Locked Loop)에 관한 것으로써, 이를 위한 본 발명은 시간지연의 가감을 제어하는 급고정 딜레이제어기의 출력신호에 응답하여 클록의 시간 지연량을 조절할 수 있는 제어가능 딜레이체인부와 제어가능 딜레이체인부의 딜레이된 출력 클록신호와 기준 클록신호를 비교하여 시간 지연량의 증감을 판단하는 선지연-후지연 비교기와 시간지연량의 증감이 비교 판단된 선지연-후지연 비교기의 출력신호와 제어가능 딜레이체인부의 딜레이된 출력신호와 기준신호에 응답하여 제어가능 딜레이체인부의 시간 지연 가감을 제어하는 급고정 딜레이제어기를 포함하여 이루어진 것에 특징이 있다

【대표도】

도 3

【색인어】

제어가능 딜레이체인부, 선지연-후지연 비교기, 급고정 딜레이제어기

【명세서】

【발명의 명칭】

지연고정루프에서 짧은 록킹 시간과 높은 잡음 제거를 갖는 딜레이 제어기{Short locking time and high noise immunity delay controller in delay locked loop}

【도면의 간단한 설명】

도1은 종래의 지연고정루프의 블록도,

도2는 신중한 딜레이 제어기를 갖는 지연고정루프의 블록도,

도3은 본 발명의 지연고정루프의 블록도,

도4는 본 발명의 급고정 딜레이 제어기의 블록도,

도5는 본 발명의 고정감지기의 블록도,

도6은 본 발명의 고정감지기에 있는 선지연-후지연 판단기의 블록도,

도7은 본 발명의 고정감지기에 있는 선지연-후지연로직부의 블록도,

도8은 본 발명의 지연고정루프에 있는 고정감지기에 출력단을 더 포함한 블록도,

도9는 본 발명의 고정감지기에 더 포함된 출력단 블록의 한 예시도,

도10은 본 발명의 고정감지기에 더 포함된 출력단 블록의 또 다른 예시도.

* 도면의 주요 부분에 대한 부호의 설명 *

300 : 제어가능 딜레이체인부 310 : 선지연-후지연 비교기

320 : 급고정 딜레이제어기

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체메모리 장치에 관한 것으로, 특히 짧은 록킹(Locking)시간을 갖는 시간지연고정루프에 관한 것이다.

<15> 일반적으로 지연고정루프란 반도체메모리 장치에서 클록을 사용하는 동기식메모리의 내부클록을 에러없이 외부클록과 일치되게 하기 위해서 사용하는 회로이다. 즉 외부에서 들어오는 클록이 내부에서 사용될때 타이밍 딜레이가 발생하는데, 이 타이밍 딜레이를 제어하여 내부에서 사용하는 클록이 외부에서 들어오는 클록과 동일하도록 하기 위해서 사용한다.

<16> 도1은 종래기술의 지연고정루프의 블록도이다. 클록 신호(Clock_1)이 시간 지연량을 조절할 수 있는 제어가능 딜레이체인부(100)로 입력되어 일정한 딜레이를 거친후에 딜레이된 신호(Delayed_clock)을 만들어낸다. 그러면 딜레이된 신호 (Delayed_clock)이 시간 지연량을 늘려야 하는지 아니면 줄여야 하는지를 판단하는 선지연-후지연 비교기(110)로 입력되고 기준 신호(Reference_clock)와 비교되어 시간 지연량을 늘려야 하는지 아니면 줄여야 하는지를 판단하게 된다. 선지연-후지연 비교기(110)는 이렇게해서 판단된 출력신호(Add_delay, Subtract_delay)를 만들어내고 이 신호는 제어가능 딜레이체인부(100)로 피드백되어 딜레이를 가감하며 기준 신호와 딜레이된 신호의 시간 지연양이 같아질때까지 시간지연과 비교하는 과정을 반복하게 된다.

<17> 도2는 종래기술에서 신중한 딜레이 제어기를 갖는 시간지연고정루프의 블록도를 도

시한 것이다. 클록신호(Clock_1)가 제어가능 딜레이체인부(200)로 입력되어 딜레이가 된 신호(Delayed_clock)을 생성하고 딜레이된 신호 (Delayed_clock)은 선지연-후지연 비교기(210)로 입력되어 기준 신호 (Reference_clock) 와 비교되어 시간 지연량을 늘려야 하는지 아니면 줄여야 하는지를 판단하게 된다. 선지연-후지연 비교기의 출력신호 (Add_delay_i, Sub_delay_i)는 신중한 딜레이제어기(220)로 입력되는데 신중한 딜레이제어기(220)은 전원선의 잡음 혹은 시스템에서의 일정하지 않은 잡음때문에 발생할 수 있는 시간 지연에 대한 순간적인 잘못된 결정을 회피하기 위한 수단으로, 상기 선지연-후지연 비교기에서 시간 지연 추가 혹은 감소에 대한 판단을 그대로 적용하지 않고 두 번 이상에 걸친 연속적인 상기 시간 지연 추가 혹은 감소에 대한 판단을 모아서 일정한 기준을 만족해야만 제어가능 딜레이체인부(200)를 조절하여 시간 지연량을 바꾸도록 하는 동작을 한다. 신중한 딜레이제어기(220)의 출력신호(Add_delay, Sub_delay)는 제어가능 딜레이체인부(200)으로 다시 피드백되어 제어가능 딜레이체인부(200)의 시간 지연양을 조절하도록 한다.

<18> 위에서 설명한 종래의 기술에서는, 지연고정루프가 정상적으로 동작하여 일단 록킹(locking) 이 걸린 상황에서는 잡음에 강한 특성을 보일 수 있다는 장점이 있다. 그러나, 록킹(locking)이 걸리지 않은 초기 상황에서 록킹(locking)이 걸릴 때까지 소요되는 시간이 매우 길 수 있다는 단점이 있다. 예를 들어, 상기 선지연-후지연 비교기(210)에서 출력되는 시간 지연 혹은 감소에 대한 판단을 두 번 모아서 시간 지연을 조절한다고 하면, 한 번의 동작을 위해서 두 번의 판단이 필요한 것이 되므로 실제로 딜레이가 록킹(locking)이 되기까지 걸리는 시간은 두 배로 늘어나게 된다는 문제점이 발생하게

된 것이다.

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로써, 지연고정루프의 록킹(Locking)상태를 록킹(locking)이 걸린 상태와 걸리지 않은 상태로 나누어 록킹(locking)이 걸리지 않은 상태에서는 기존의 시간 지연량 조절 방법을 이용하고 시간지연고정루프의 상태가 만약 록킹(locking)이 걸린 상태에 있다면 잡음 등에 의한 잘못된 판단을 제거하거나 감소시켜 주는 시간지연고정루프 장치를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<20> 상기 목적을 달성하기 위하여 본 발명의 시간지연고정루프 장치는, 반도체메모리 장치의 지연고정루프에 있어서, 급고정 딜레이제어기의 출력신호에 응답하여 클록의 시간 지연량을 조절할 수 있는 제어가능 딜레이체인부; 제어가능 딜레이체인부의 딜레이된 출력 클록신호와 기준 클록신호를 비교하여 시간 지연량의 증감을 판단하는 선지연-후지연 비교기; 시간지연량의 증감이 비교 판단된 선지연-후지연 비교기의 출력신호와 제어가능 딜레이체인부의 딜레이된 출력신호와 기준신호에 응답하여 제어가능 딜레이체인부의 시간 지연 가감을 제어하는 급고정 딜레이제어기를 포함하여 이루어진다.

<21> 이와 같이 본 발명은 시간지연량의 증감이 비교 판단된 선지연-후지연 비교기의 출력신호와 제어가능 딜레이체인부의 딜레이된 출력신호와 기준신호에 응답하여 제어가능 딜레이체인부의 시간 지연 가감을 제어하는 급고정 딜레이제어기를 포함하는 구성을 가

지고 있는 바, 록킹(locking)이 걸린 상태 상태에서는 기존의 시간 지연량 조절 방법을 이용하고 록킹(locking)이 걸리지 않은 상태에서는 상기 급고정 딜레이제어기를 이용하기 때문에, 록킹이 걸린 상태에서는 잡음 등에 의한 잘못된 판단을 제거하거나 감소시켜 주고 록킹이 걸리지 않은 상태에서는 짧은 초기의 록킹(Locking) 시간을 달성할 수 있다.

<22> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명하기로 한다.

<23> 도3은 본 발명에서 제안하는 방법에 관한 지연고정루프의 블록도이다. 급고정 딜레이제어기의 출력신호(Add_delay, Subtract_delay)에 응답하여 클록의 시간 지연량을 조절할 수 있는 제어가능 딜레이체인부(300), 제어가능 딜레이체인부(300)의 딜레이된 출력 클록신호(Delayed_clock)와 기준 클록신호(Reference_clock)를 비교하여 시간 지연량의 증감을 판단하는 선지연-후지연 비교기(310), 시간지연량의 증감이 비교 판단된 선지연-후지연 비교기(310)의 출력신호(Add_delay_i, Sub_delay_i)와 제어가능 딜레이체인부(300)의 딜레이된 출력신호(Delayed_clock)와 기준신호(Reference_clock)에 응답하여 제어가능 딜레이체인부(300)의 시간 지연 가감을 제어하는 급고정 딜레이제어기(320)로 구성되어 있다.

<24> 종래의 기술에 대한 블록도인 도2와 다른 점은 기준 신호(Reference_clock)와 시간 지연된 신호(Delayed_clock)가 선지연-후지연 비교기(310) 뿐만 아니라 급고정 딜레이제어기(320)으로도 입력된다는 점이다. 이것은 급고정 딜레이제어기(320)에서도 기준

신호(Reference_clock)와 시간 지연된 신호(Delayed_clock)를 비교하여 록킹(locking)이 되었는지 아닌지를 판단하기 위한 것이다.

<25> 도4는 본 발명에서 새로 제안된 급고정 딜레이제어기(320)의 블록도를 도시한 것이다. 종래의 상기 신중한 딜레이제어기(410)를 포함하고 있으며, 기준 신호(Reference_clock)와 시간 지연된 신호(Delayed_clock)를 비교하여 기준 신호(Referenced_clock)와 시간 지연된 신호(Delayed_clock) 사이의 관계가 미리 정한 정도로 록킹(locking)이 되었는지 아닌지를 판단하는 고정감지기(430)와 쉬프트 다중화기(420)를 새로 추가하였다. 선지연-후지연 비교기의 출력 신호(Add_delay_i, Sub_delay_i)가 신중한 딜레이제어기(410)로 입력되고 잡음에 의해 록킹(Locking)이 된 것을 보정해주는 출력 신호(Add_delay_int, Sub_delay_int)를 생성한다. 상기 신호(Add_delay_i, Sub_delay_i)는 쉬프트 다중화기로 입력되어 둘 중 하나가 선택되고 상기 신호(Add_delay_int, Sub_delay_int)는 쉬프트 다중화기(420)로 입력되어 둘 중 하나가 선택된다. 이 때, 선택하는 기준은 상기 고정감지기(430)의 결과를 받아들여 만약, 고정감지기(430)가 기준 신호(Reference_clock)와 시간 지연된 신호(Delayed_clock)의 관계가 충분히 원하는 정도로 록킹(locking)되어 있다고 판단하면 상기 신중한 딜레이제어기(410)로부터 입력되는 명령을 최종시간 지연량 조절 명령으로 선택하고, 또 만약 고정감지기(430)가 기준 신호(Reference_clock)와 시간 지연된 신호(Delayed_clock)의 관계가 충분히 원하는 정도로 록킹(locking) 되어 있지 않다고 판단하면 상기 선지연-후지연 비교기(310)로부터 입력되는 시간 지연 조절 명령을 최종적인 시간 지연량 조절 명령으로 선택한다. 고정감지기(430)은 기준 신호(Reference_clock)과 시간 지연된 신호(Delayed_clock)을 입력으로하여 쉬프트 다중화기(420)을 제어하는 신

호(Rough_lock_flag)를 생성한다.

<26> 도5는 상기 고정감지기(430)의 구성에 관한 한 예를 도시한 블록도이다. 상기 고정감지기(430)는 기준 신호(Reference_clock)가 입력되고 시간 지연된 신호(Delayed_clock)가 제1딜레이부(510)를 거쳐서 입력되는 제1 선지연-후지연 판단기(530)와, 시간 지연된 신호(Delayed_clock)와 기준 신호(Reference_clock)가 제2딜레이부(520)을 거쳐서 입력되는 제2선지연-후지연 판단기(540)를 구비하며 상기 제1선지연-후지연 판단기(530)의 출력신호(Lead_lag_flag_1)과 상기 제2선지연-후지연 판단기(540)의 출력신호(Lead_lag_flag_2)를 입력으로 해서 쉬프트 다중화기(420)를 제어하는 출력신호(Rough_lock_flag)를 생성하는 선지연-후지연 로직부(550)를 구비한다.

<27> 상기 제1선지연-후지연 판단기(530,540)는 시간 지연된 신호(Delayed_clock)를 미리 정한 시간 지연량만큼 더 시간 지연을 시키는 제1딜레이부(510)을 거친 신호(SI)와 기준 신호(Reference_clock)를 입력으로 한다. 만약, 기준 신호(Reference_clock)가 상기 신호(SI)보다도 느리다면 시간 지연된 신호(Delayed_clock)가 아직도 기준 신호(Reference_clock)보다 미리 정한 기준보다도 더 앞서 잇다는 것을 뜻한다. 따라서, 시간 지연된 신호(Delayed_clock)와 기준 신호(Reference_clock)가 록킹(Locking)되어 있다고 판단하기 위해서는 반드시 상기 신호(SI)가 기준 신호(Reference_clock)보다도 느리다고 판정되어야 한다. 상기 제2선지연-후지연 판단기(540)는 기준 신호(Reference_clock)에 미리 정한 시간 지연량만큼 더 시간 지연을 시키는 제2딜레이부(520)을 거친 신호(R1)와 시간 지연된 신호(Delayed_clock)를 입력으로 한다. 만약, 상기 신호(RI)가 시간 지연된 신호(Delayed_clock)보다도 빠르면, 시간 지연된 신호(Delayed_clock)가 기준 신호(Reference_clock)보다도 미리 정한 기준보다도 더 뒤에 있

다는 것을 뜻한다. 따라서 시간 지연된 신호(Delayed_clock)와 기준 신호(Reference_clock)가 록킹(locking) 되어 있다고 판단하기 위해서는 반드시 상기 신호(R1)가 시간 지연된 신호(Delayed_clock)보다도 느리다고 판정되어야 한다. 선지연-후지연로직부(550)에서는 상기 두 개의 선지연-후지연 판단기(530, 540)에서의 판정이 위에서 언급한 것과 같이, 제2선지연-후지연 판단기(540)은 상기 신호(RI)가 시간 지연된 신호(Delayed_clock)보다 느리다고 판정하고 제1선지연-후지연 판단기(530)은 상기 신호(SI)가 기준 신호(Reference_clock)보다 느리다고 판정하는지를 판단한다. 만약 상기 조건을 만족한다고 하면 록킹(locking)이 되었다고 생각하고 하나라도 만족하지 않으면 록킹(locking)이 되지 않았다고 판단하여 그 정보를 갖는 선택 신호 Rough_lock_flag를 쉬프트 다중화기로 출력한다.

<28> 도6은 기준 신호(Reference_clock)와 시간 지연된 신호(Delayed_clock) 사이의 하강 에지의 선후를 판정한다고 했을 때 가능한 선지연-후지연 판단기(530, 540) 회로의 한 예를 보여주고 있다. 기준 신호(REFERENCE)가 제1인버터(INV1)을 거쳐 반전된 신호가 제1난드게이트(N1)의 한 입력으로 유입되고 제1난드게이트의 출력이 제2난드게이트(N2)의 한 입력으로 유입된다. 또한, 클록 신호(IN_CLOCK)가 제2인버터 (INV2)를 거쳐 반전된 신호가 제2난드게이트(N2)의 한 입력으로 유입되고 제2난드게이트(N2)의 출력이 제1난드게이트(N1)의 한 입력으로 유입된다. 기준 신호(REFERENCE)를 반전시킨 출력이 제3인버터(INV3)를 지나서 반전되어 펄스 생성기(B1)로 들어가고 펄스 생성기(B1)의 출력이 제3난드게이트(N3)와 제4난드게이트(N4)의 한 입력으로 들어간다. 제1난드게이트(N1)의 출력이 제3난드게이트(N3)의 입력으로 들어가고 제2난드게이트(N2)의 출력이 제4난드게이트(N4)의 입력으로 들어간다. 상기 제3난드게이트의 출력과 제4난드게이트의 출력은

제5난드게이트(N5)와 제6난드게이트(N6)의 입력으로 들어가고 제5난드게이트(N5)의 출력은 제6난드게이트(N6)의 입력으로, 제6난드게이트(N6)의 출력은 제5난드게이트(N5)의 입력으로 들어가서 래치하고 판단신호(Lead_lag1_flag)를 출력한다.

<29> 제1난드게이트(N1)와 제2난드게이트(N2)로 구성된 래치는 기준 신호(REFERENCE)와 시간 지연된 신호(IN_CLOCK) 사이에 하강 에지의 선후 관계를 감지하는 회로이고, 제5난드게이트(N5)와 제6난드게이트(N6)로 구성된 래치는 제1난드게이트(N1)/제2난드게이트(N2) 래치의 데이터를 보관하는 기능을 하는 것이고, 제3난드게이트(N3)/제4난드게이트(N4)는 제1난드게이트(N1)/제2난드게이트(N2) 래치의 데이터를 제5난드게이트(N5)/제6난드게이트(N6)로 넘겨주는 게이트(gate) 역할을 맡는다. 펄스 생성기(B1)는 제1난드게이트(N1)/제2난드게이트(N2)에서 비교가 끝나면 곧바로 데이터를 제5난드게이트(N5)/제6난드게이트(N6)의 래치로 넘겨주기 위한 신호를 만들어 내는 블록이다.

<30> 도7은 선지연-후지연로직부(550)의 상세 회로도로써, 상기 제1선지연-후지연 판단기(530)로부터의 판단 신호(Lead_lag_flag_1)가 인버터(INV4)에 의해 반전되어 난드게이트(N7)의 한 입력으로, 상기 제2선지연-후지연 판단기(540)의 출력 신호(Lead_lag_flag_2)가 난드게이트(N7)의 또 다른 입력으로 들어간다. 상기 난드게이트(N7)의 출력은 인버터(INV5)에 의해 반전되어 쉬프트 다중화기(420)을 제어하는 선택 신호(Rough_lock_flag)를 만든다. 상기 두 개의 선지연-후지연 판단기(530,540)에서 기준 신호보다 비교되는 신호가 빠르면 출력 신호가 논리 로우이고 그 반대이면 논리 하이라고 했을 때, 상기 제2선지연-후지연 판단기(540)는 상기 신호(RI)가 시간 지연된 신호(Delayed_clock)보다 느리다고 판정하고 상기 제1선지연-후지연 판단기(530)는 상기 신호(SI)가 기준 신호(Reference_clock)보다 느리다고 판정하는 경우와 그렇지 않은 경우

를 나누어서 전자의 경우에는 논리 하이를 출력시키고 후자의 경우에는 논리 로우를 출력시키는 논리 회로이다.

<31> 도8은 상기 고정감지기(430)의 구성에서 그 출력 부분에 출력단(800)을 추가한 블록도이다. 상기 고정감지기(430)에서는 록킹(locking)이 걸렸는지 아닌지를 점검하도록 되어 있는데, 그 록킹 범위를 상대적으로 넓게 잡을 수가 있다. 이 경우에는 고정감지기(430)에서 록킹(locking)이 되었다고 판정하더라도 실제 지연고정루프가 발휘할 수 있는 최대한도로 록킹(locking)을 걸려고 하면 록킹(locking)에 좀더 시간이 필요하게 된다. 고정감지기(430)에서 록킹(locking)이 걸렸다는 판정을 했다고 해서 곧바로 신중한 딜레이제어기(410)을 이용한다면 전체적인 록킹(locking) 시간이 길어지게 된다. 따라서, 록킹(locking)에 걸려 있다는 정보에 대해서는 일정한 시간 동안에는 통과시키지 않고 있다가 소정의 시간 후에 출력을 시킨다. 다른 한 편으로 록킹(locking)이 걸려 있지 않다는 정보에 대해서는 상기의 시간 지연을 시키지 않고 곧바로 내보낸다.

<32> 록킹(locking)이 되었다는 신호가 상기 선지연-후지연로직부(550)에서 출력되더라도 바로 상기 신중한 딜레이제어기(410)을 이용하도록 하는 것이 아니고 좀더 록킹(locking)을 진행시켜 록킹 에라(locking error)를 보다 작게 만드는 것을 보장한 후에 록킹(locking)이 걸렸다는 신호를 출력시켜서 그 때부터 비로서 상기 신중한 딜레이제어기(410)을 이용하도록 하기 위해서, 상기 출력단(800)은 클록 정보(Delayed_clock)를 받아들여서 상기 선지연-후지연로직부(550)의 출력을 하나 혹은 그 이상의 클록 사이클만큼 지연 시켜 출력시키는 역할을 한다. 아울러 만약 어떤 이유에선가 선지연-후지연로직부(550)에서 록킹(locking)이 되지 않았다는 정보가 들어오면, 이 때에는 곧바로 상기 쉬프트 다중화기를 제어하는 선택

신호(rough lock flag) 신호를 비활성화시켜서, 상기 신중한 딜레이제어기(410)을 이용하지 않도록 한다.

<33> 도9는 상기 출력단(800)의 가능한 한 가지 예를 도시한 것이다. 여러 개의 쉬프트 레지스터를 직렬로 연결한다. 구성을 살펴보면, 레지스터를 동기시키는 기준 클록 신호(CLOCK)와 상기 선지연-후지연로직부(550)의 출력 신호와 리셋 신호(RESET)를 입력으로 하는 제1쉬프트 레지스터(900)와, 상기 기준 클록 신호(CLOCK)와 상기 리셋 신호(RESET)를 입력으로 하고 제1쉬프트 레지스터(900)에 일렬로 접속된 다수의 쉬프트 레지스터(910)와, 상기 선지연-후지연로직부(550)의 출력 신호 및 상기 다수의 쉬프트 레지스터(910)의 쉬프트되는 입력 신호를 모아서 부정논리곱하는 난드 게이트(920)와, 상기 난드 게이트(920)의 출력을 반전시켜 선택 신호(Rough_lock_flag)를 출력하는 인버터(930)을 구비한다.

<34> 최초 쉬프트 레지스터의 입력으로는 상기 선지연-후지연로직부(810)의 출력(DATA)가 들어가고, 클록(CLOCK)에 의해서 정보가 한 칸 옆으로 이동한다. 쉬프트 레지스터들은 리셋 신호(RESET)에 의해서 초기화된다. 쉬프트 레지스터들의 출력을 모아서 부정논리곱하는 난드 게이트(920)는 미리 정한 갯수 만큼의 쉬프트 레지스터를 통과해야만 록킹(locking)이 걸렸다는 정보를 출력하고, 록킹(locking)이 걸리지 않았다는 정보는 쉬프트 레지스터를 통과하지 않고 출력되도록 되어 있다.

<35> 도10은 상기 출력단(800)의 또 다른 실시예를 도시한 회로도이다. 구성을 살펴보면, 레지스터를 동기시키는 기준 클록 신호(CLOCK)와 리셋 수단으로 입력되는

상기 선지연-후지연로직부(550)의 출력 신호를 입력으로 하는 일렬로 접속된 다수개의 쉬프트 레지스터(950)를 구비하며, 상기 다수개의 쉬프트 레지스터 중에 첫단의 입력은 논리 하이로 고정되어 있고 마지막단의 쉬프팅되는 데이터가 출력되어 소정의 딜레이를 갖는 지연수단(960)을 거쳐서 선택 신호(Rough_lock_flag)를 출력하도록 되어 있다.

<36> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<37> 상기와 같이 본 발명은 반도체메모리 장치의 지연고정루프 회로에서 록킹이 되었을 때와 록킹이 되지 않았을 때의 회로를 달리하여 록킹이 걸리지 않은 상태에서는 상기 신중한 딜레이제어기를 이용하지 않고 록킹이 걸린 상태에서는 상기 신중한 딜레이제어기를 이용함으로써 록킹이 걸리지 않은 상태에서는 초기에 짧은 록킹(Locking)시간을 얻을 수 있고 록킹이 걸린 상태에서는 상기 신중한 딜레이제어기에 의해 잡음 등에 의한 잘못된 판단을 감소시켜 준다.

【특허청구범위】

【청구항 1】

반도체메모리 장치의 지연고정루프에 있어서,

클록 신호를 입력받아 상기 클록 신호의 시간 지연량을 조절하기 위한 제어가능 딜레이체인부;

상기 제어가능 딜레이체인부의 딜레이된 클록신호와 외부에서 입력되는 기준 클록 신호를 비교하여 시간 지연량의 증감을 판단하기 위한 선지연-후지연 비교기;

시간지연량의 증감이 비교 판단된 선지연-후지연 비교기(310)의 출력신호를 입력받아 잡음에 의한 록킹을 보정하여 상기 제어가능 딜레이제어기의 시간 지연 가감을 제어하되, 딜레이의 록킹이 걸리지 않은 상태를 감지하여 그 상태에서는 상기 선지연-후지연 비교기의 출력 신호로 직접 상기 제어가능 딜레이체인부를 제어하는 급고정 딜레이제어기

를 포함하여 이루어진 지연고정루프 장치.

【청구항 2】

제 1 항에 있어서,

상기 급고정 딜레이제어기는,

상기 선지연-후지연 비교기의 출력신호가 활성화되는 회수를 카운트하여 일정값 이사이되면 시간 지연 가감 정보를 갖는 신호를 출력하는 신중한 딜레이제어기;

상기 기준 클록 신호와 시간 지연된 클록 신호에 응답해서 딜레이 록킹(locking)의 여부를 판단하여 그정보를 갖는 선택 신호를 출력하는 고정감지기;

상기 고정감지기로부터의 선택 신호에 응답해서 상기 선지연-후지연 비교기의 출력신호와 상기 신중한 딜레이제어기의 출력 신호 중 어느 하나를 선택적으로 출력하여 상기 제어가능 딜레이체인부를 제어하는 쉬프트 다중화기

를 포함하여 이루어진 것을 특징으로 하는 지연고정루프 장치.

【청구항 3】

제 2 항에 있어서,

상기 고정감지기는,

상기 시간 지연된 클록 신호를 일정한 시간 지연을 시킨후 출력하는 제1딜레이부;

상기 기준 클록 신호를 일정한 시간 지연을 시킨후 출력하는 제2딜레이부;

상기 기준 클록 신호와 상기 제1딜레이부의 출력 신호에 응답하여 상기 제1딜레이부의 출력 신호가 상기 기준 클록 신호보다 더 느린지를 비교 판단하는 제1선지연-후지연 판단기;

상기 시간 지연된 클록 신호와 상기 제2딜레이부의 출력 신호에 응답하여 상기 제2딜레이부의 출력 신호가 상기 시간 지연된 클록 신호보다 더 느린지를 비교 판단하는 제2선지연-후지연 판단기;

상기 제1선지연-후지연 판단기의 출력 신호와 제2선지연-후지연 판단기의 출력 신호에 응답하여 상기 선택 신호를 출력하는 선지연-후지연로직부(550)

를 포함하여 이루어진 것을 특징으로 하는 지연고정루프 장치.

【청구항 4】

제 3 항에 있어서,

상기 고정감지기는 상기 기준 클록 신호에 응답하여 딜레이 록킹시 상기 선지연-후지연로직부의 출력 신호를 지연시켜 상기 쉬프트 다중화기을 제어하는 출력부를 더 포함하는 것을 특징으로 하는 지연고정루프 장치.

【청구항 5】

제 6 항에 있어서,

상기 출력부는,

상기 선지연-후지연로직부의 출력 신호를 쉬프트시키며 리셋이 가능한 복수개의 쉬프트 레지스터;

상기 복수개의 쉬프트 레지스터의 쉬프트되는 값들을 입력으로하여 부정논리곱하는 난드게이트;

상기 난드 게이트의 출력을 반전시켜서 선택 신호를 출력하는 인버터

를 포함하여 이루어진 것을 특징으로 하는 지연고정루프 장치.

【청구항 6】

제 6 항에 있어서,

상기 출력부는,

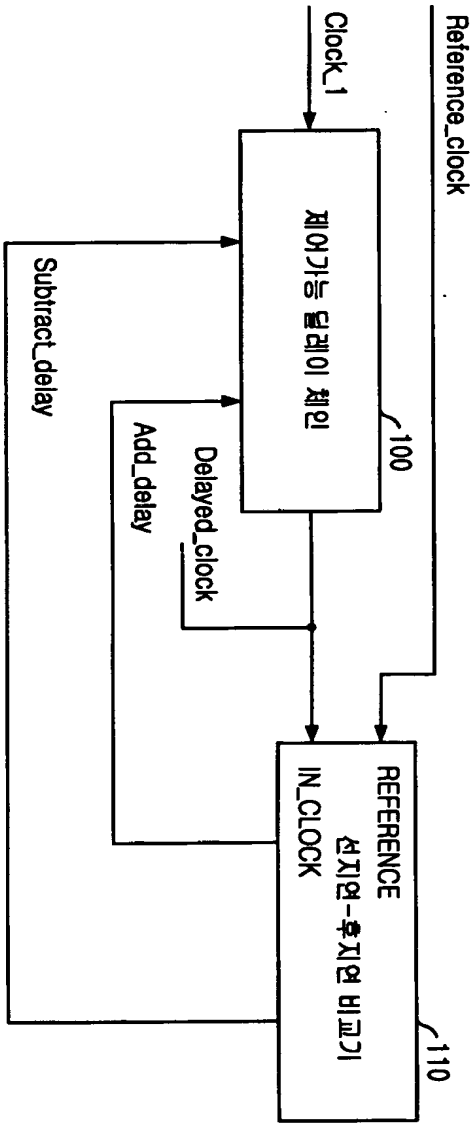
상기 선지연-후지연로직부의 출력 신호를 리셋 수단으로 하고 첫번째단의 하이 데이터를 쉬프트시키는 복수개의 쉬프트 레지스터;

상기 복수개의 쉬프트 레지스터의 마지막단의 데이터값을 선택 신호로 출력하는 출력 수단

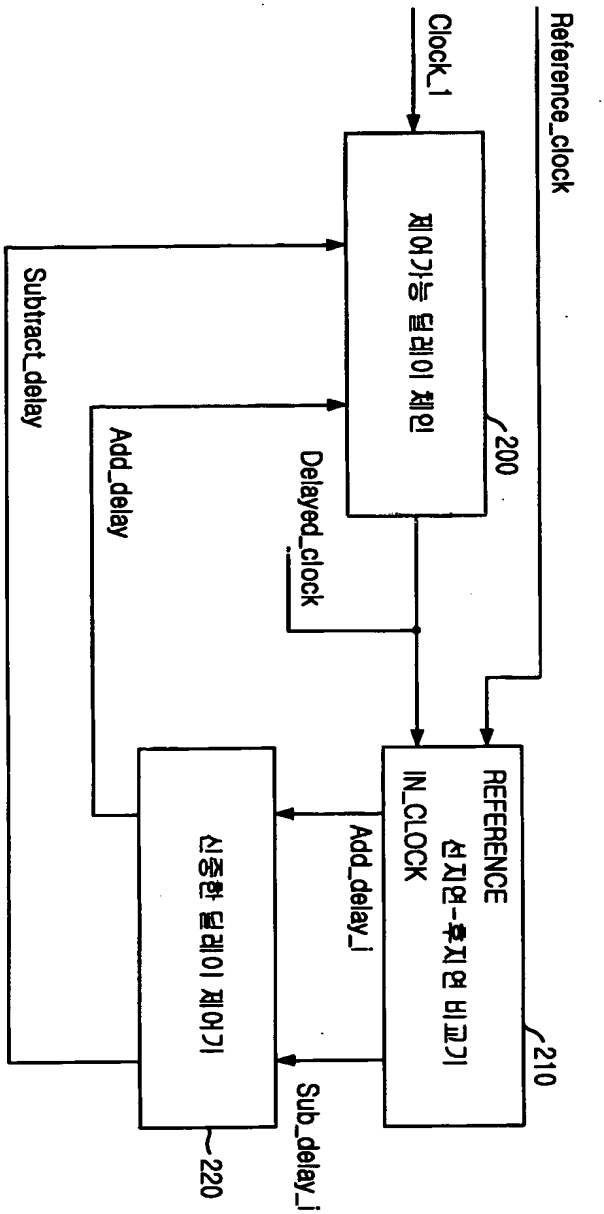
를 포함하여 이루어진 것을 특징으로 하는 지연고정루프 장치.

【도면】

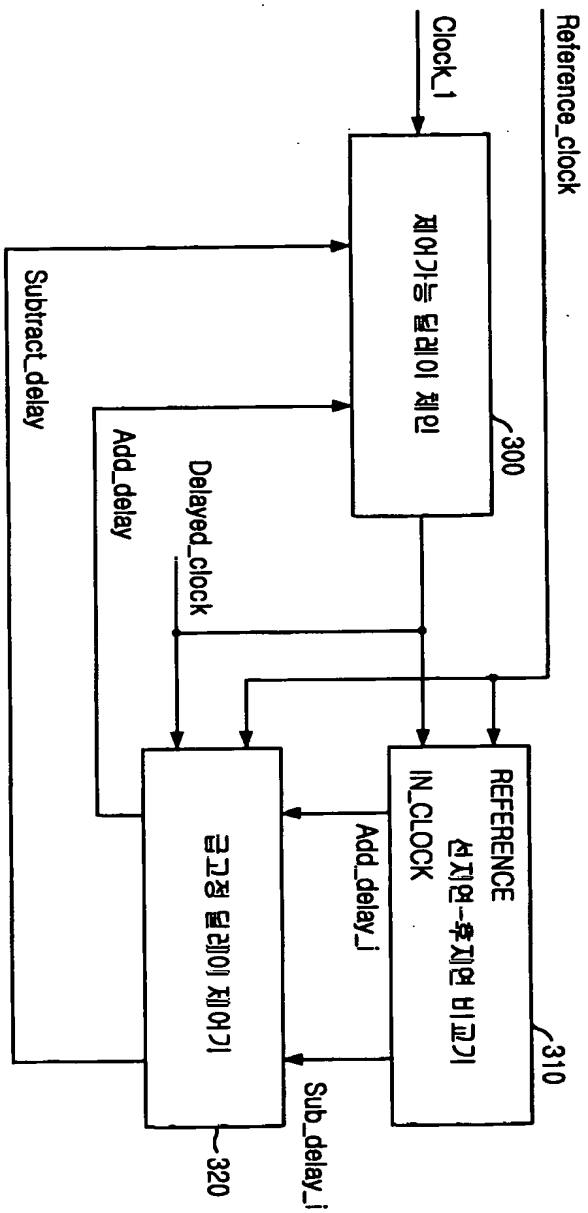
【도 1】


Clock_1
Reference_clock
제어가능 딜레이 체인
100
Subtract_delay
Add_delay
Delayed_clock
REFERENCE
선지연-후지연 비교기
IN_CLOCK
110

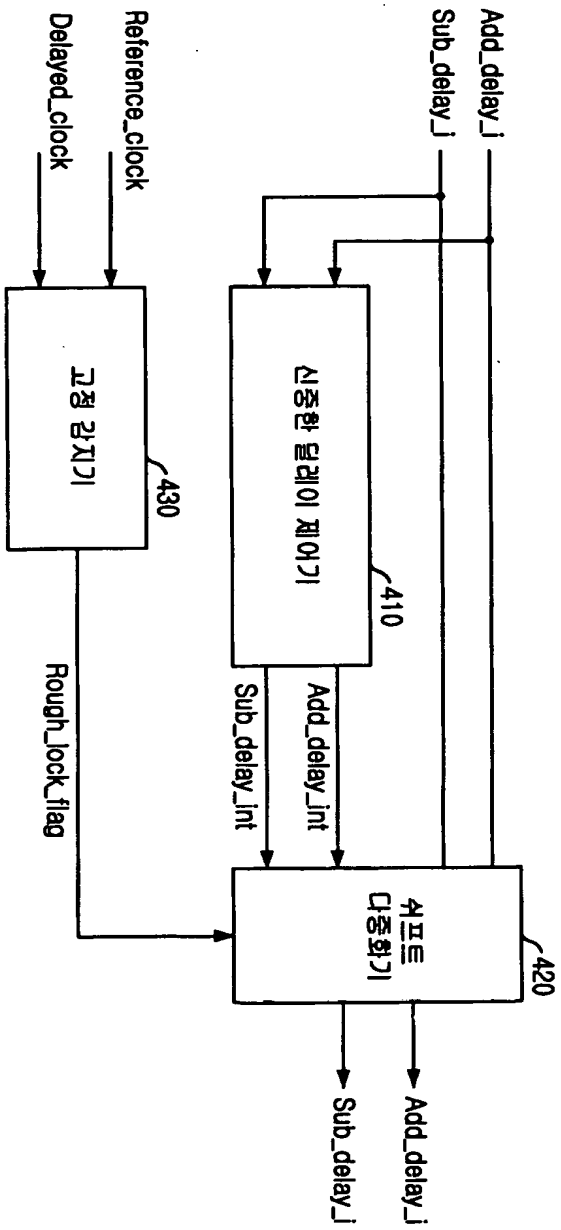
【도 2】


Clock_1
Reference_clock
제어가능 딜레이 체인
200
Subtract_delay
Add_delay
Delayed_clock
REFERENCE
선지연-후지연 비교기
IN_CLOCK
210
Add_delay_i
신중한 딜레이 제어기
Sub_delay_i
220

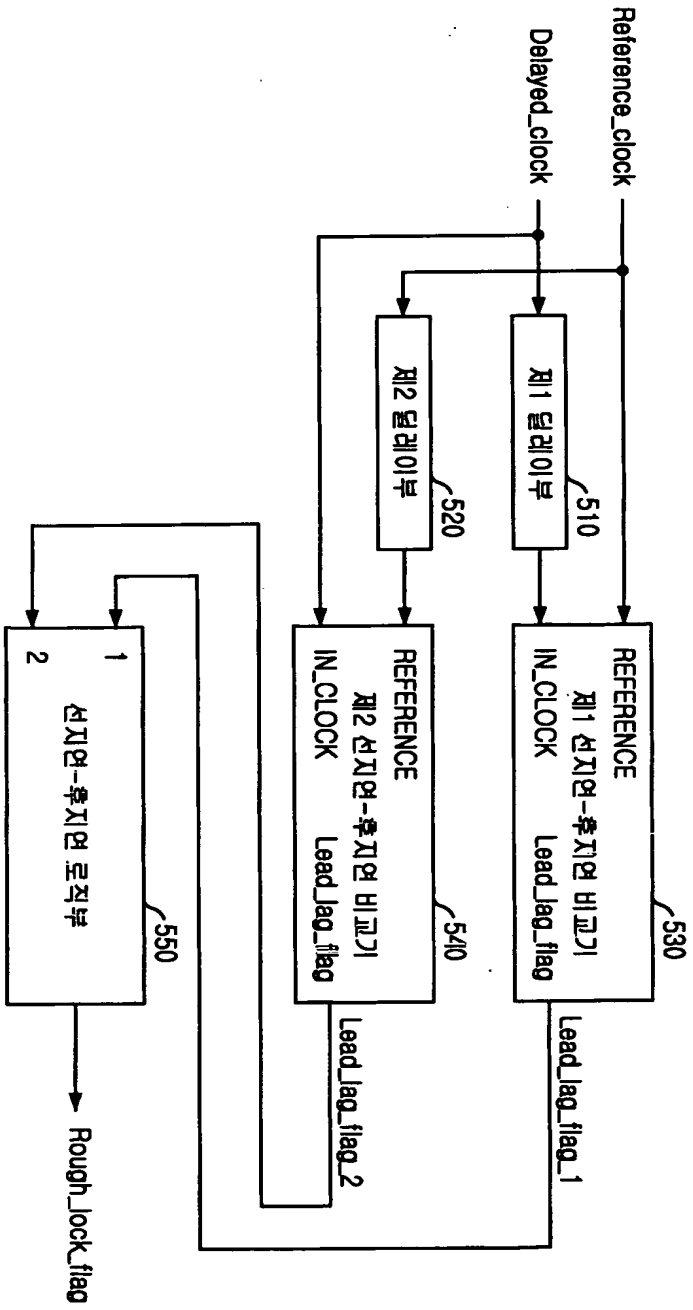
【도 3】


Clock_1
Reference_clock
제어가능 딜레이 체인
300
Subtract_delay
Add_delay
Delayed_clock
REFERENCE
선지연-후지연 비교기
IN_CLOCK
310
Add_delay_i
클고정 딜레이 제어기
320
Sub_delay_i

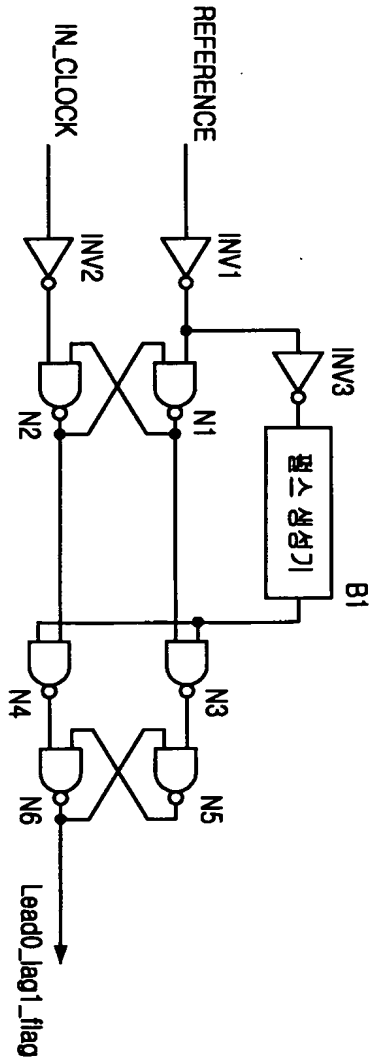
【도 4】


Add_delay_j
Sub_delay_j
Reference_clock
Delayed_clock
신중한 딜레이 제어기
410
고정 감지기
430
Sub_delay_int
Add_delay_int
Rough_lock_flag
쉬프트 다중화기
420
Sub_delay_j
Add_delay_j

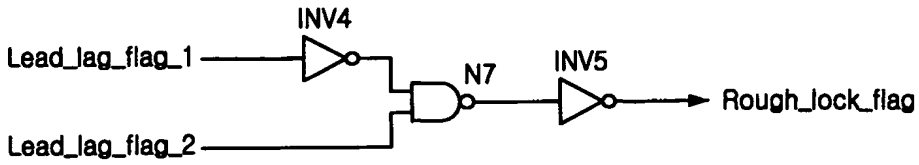
【도 5】


Reference_clock
Delayed_clock
제1 딜레이부
510
제2 딜레이부
520
REFERENCE
제1 선지연-후지연 비교기
IN_CLOCK
Lead_lag_flag
530
REFERENCE
제2 선지연-후지연 비교기
IN_CLOCK
Lead_lag_flag
540
선지연-후지연 로직부
1
2
550
Lead_lag_flag_1
Lead_lag_flag_2
Rough_lock_flag

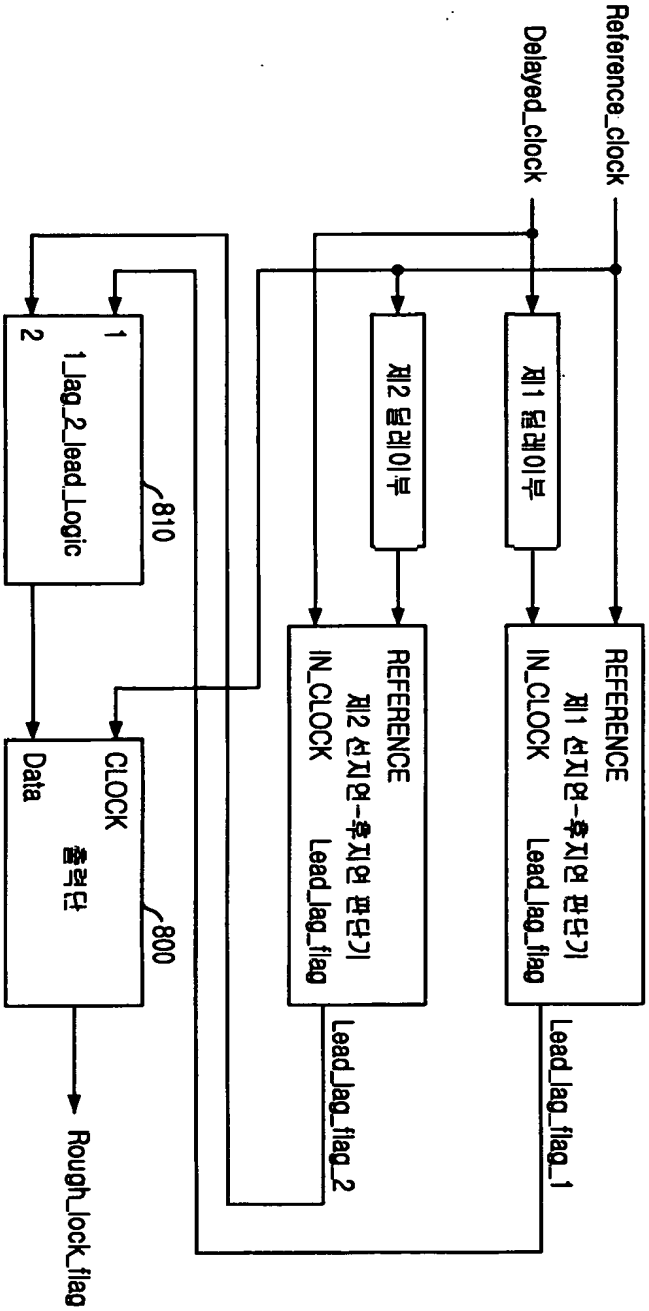
【도 6】


IN_CLOCK
REFERENCE
INV2
INV1
INV3
N2
N1
펄스 생성기
B1
N4
N3
N6
N5
Lead0_lag1_flag

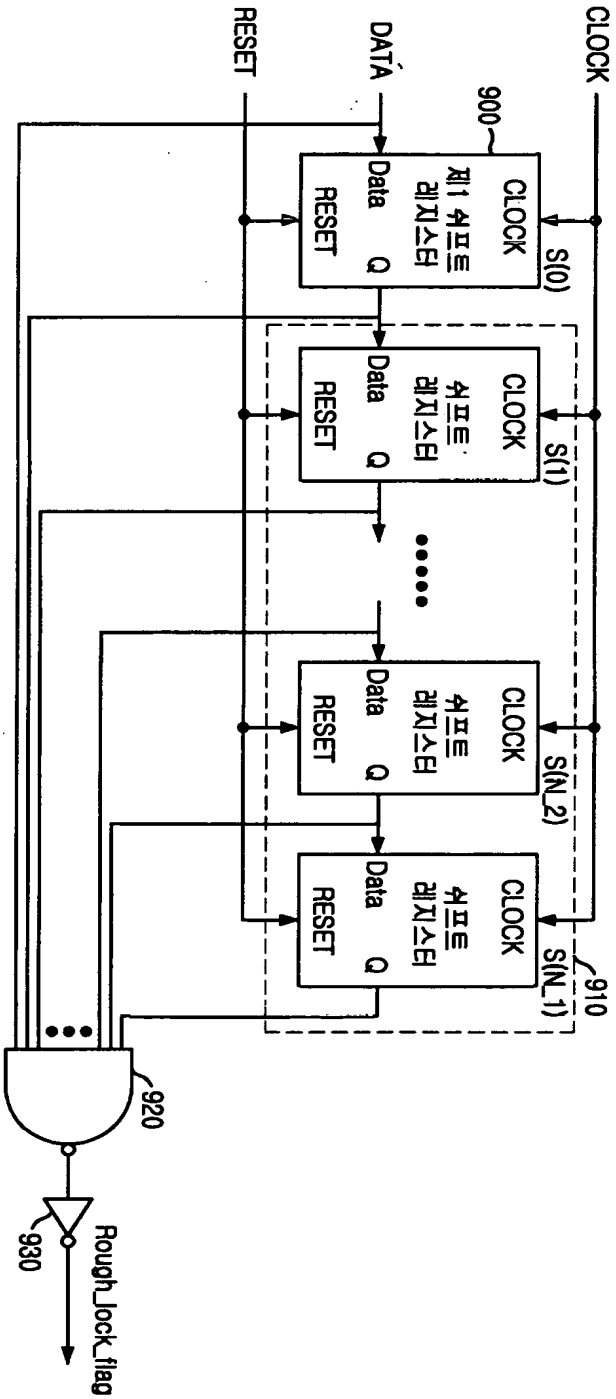
【도 7】


INV4
Lead_lag_flag_1
N7
INV5
Rough_lock_flag
Lead_lag_flag_2

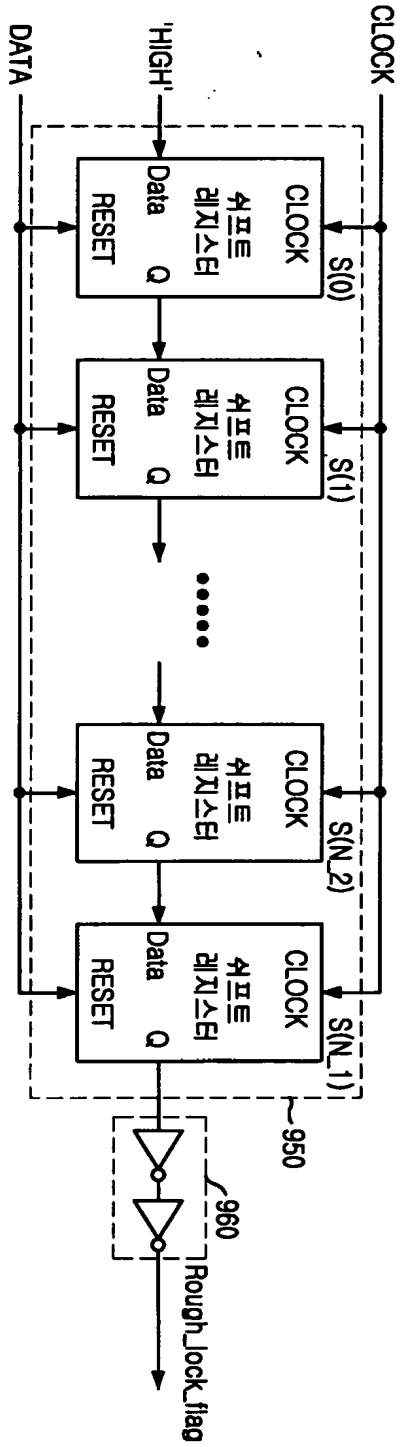
【도 8】


Reference_clock
Delayed_clock
제1 딜레이부
제2 딜레이부
REFERENCE
제1 선지연-후지연 판단기
IN_CLOCK
Lead_lag_flag
REFERENCE
제2 선지연-후지연 판단기
IN_CLOCK
Lead_lag_flag
1
2
1_lag_2_lead_Logic
810
CLOCK
Data
출력단
800
Lead_lag_flag_1
Lead_lag_flag_2
Rough_lock_flag

【도 9】


RESET
DATA
CLOCK
900
제1 쉬프트 레지스터
Data
CLOCK
RESET
Q
S(0)
쉬프트 레지스터
S(1)
쉬프트 레지스터
S(N-2)
쉬프트 레지스터
S(N-1)
910
920
930
Rough_lock_flag

【도 10】


CLOCK
'HIGH'
DATA
쉬프트 레지스터
Data
RESET
CLOCK
Q
S(0)
S(1)
S(N_2)
S(N_1)
950
960
Rough_lock_flag